

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-348168

(P2000-348168A)

(43) 公開日 平成12年12月15日 (2000. 12. 15)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	チーシート* (参考)
G 0 6 T 1/60		C 0 6 F 15/64	4 5 0 C 5 B 0 4 7
G 0 6 F 12/02	5 8 0	12/02	5 8 0 E 5 B 0 6 0
	5 9 0		5 9 0 B 5 C 0 5 9
H 0 4 N 7/24		H 0 4 N 7/13	Z

審査請求 未請求 請求項の数 5 O L (全 10 頁)

(21) 出願番号 特願平11-153797

(22) 出願日 平成11年6月1日 (1999. 6. 1)

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川 6 丁目 7 番35号

(72) 発明者 山本 喜久夫

東京都品川区北品川 6 丁目 7 番35号 ソニー株式会社内

(72) 発明者 塚越 郁夫

東京都品川区北品川 6 丁目 7 番35号 ソニー株式会社内

(74) 代理人 100082131

弁理士 稲本 義雄

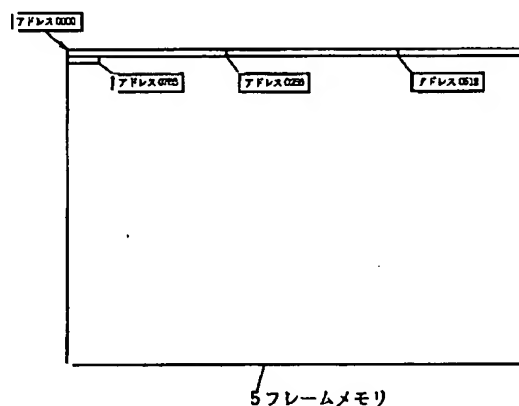
最終頁に続く

(54) 【発明の名称】 画像処理装置および方法、並びに媒体

(57) 【要約】

【課題】 マクロブロック単位で扱う画像データの読み出しの際に、ページミスの発生を最小限に抑える。

【解決手段】 1マクロブロックが16×16ピクセル (byte) で構成され、そのマクロブロックをDRAMなどから構成されるフレームメモリに記憶させる際、第1マクロブロックは、アドレス0000乃至0255に、第2マクロブロックは、アドレス0256乃至0512といったふうに、順次、昇順にアドレスが割り振られ、記憶されていく。このようにして記憶されたマクロブロックは、アドレスの昇順に読み出される。



## 【特許請求の範囲】

【請求項1】 マクロブロック単位の画像データを入力する入力手段と、

前記入力手段により入力された前記画像データに、昇順にアドレスを割り当て、記憶する記憶手段と、

前記記憶手段に記憶された前記画像データを、アドレスの昇順に読み出す読み出し手段とを含むことを特徴とする画像処理装置。

【請求項2】 前記読み出し手段により読み出された前記画像データを、前記画像データに基づいて表示される画像と同等のアドレス配置に変換し、記憶する変換記憶手段をさらに含むことを特徴とする請求項1に記載の画像処理装置。

【請求項3】 前記記憶手段は、2以上のバンクを備え、前記画像データに基づき表示される画像の水平方向の幅毎に、前記バンクを切り換えて前記画像データを記憶することを特徴とする請求項1に記載の画像処理装置。

【請求項4】 マクロブロック単位の画像データを入力する入力ステップと、

前記入力ステップで入力された前記画像データに、昇順にアドレスを割り当て、記憶する記憶ステップと、

前記記憶ステップで記憶された前記画像データを、アドレスの昇順に読み出す読み出しステップとを含むことを特徴とする画像処理方法。

【請求項5】 マクロブロック単位の画像データを入力する入力ステップと、

前記入力ステップで入力された前記画像データに、昇順にアドレスを割り当て、記憶する記憶ステップと、

前記記憶ステップで記憶された前記画像データを、アドレスの昇順に読み出す読み出しステップとからなることを特徴とするプログラムをコンピュータに実行させる媒体。

## 【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は画像処理装置および方法、並びに媒体に関し、特に、マクロブロック単位で画像データの書き込みや読み出しを行う際に用いて好適な画像処理装置および方法、並びに媒体に関する。

【0002】

【従来の技術】最近、MPEG (Moving Picture Experts Group) 2に代表される画像圧縮技術が進歩し、各種の分野で利用されている。このMPEG 2でエンコードされた画像データをデコードする場合、そのデコードは、マクロブロック毎に行われる。そのマクロブロック毎にデコードされた画像データをフレームメモリに格納する際、その画像データのメモリアドレスは、画面表示順に割り振られる。すなわち、図1 (A) に示すような、16×16ピクセルから構成されるYマクロブロックが、720×480ピクセルからなる画面の場合、図1 (B) に示

すように、フレームメモリ内には、横に45個、縦に30個並んだ状態で記憶される。

【0003】このようにメモリアドレスを割り振り、記憶させる場合、このフレームメモリに記憶されている画像データに基づいて、画面に表示させるときには、適したアドレスの割り振りである。例えば、図1 (A) に示したフレームメモリにおいて、画面最上部の1ラインが表示されるとき、アドレスの0000乃至0719 (720ピクセル分のデータ) まで、連続して読み出すことが可能であるため、ページミスヒットの発生を最小限に抑えることが可能となる。ここで、ページミスとは、DRAM (Dynamic Random Access Memory) などのメモリにおいて備えられているセンスアンプをプレチャージするために必要な時間 (従って、プレチャージしている間は、データの読み出しなどの処理は行えない) である。

【0004】ところで、フレームメモリには一般的にDRAMが用いられる。DRAMは、ロー (row) とカラム (column) で構成され、1つのローは、256 (512などの場合もある) ×8カラムからなる蓄電素子で構成されている。この蓄電素子のうち、8bit素子は外部端子を8ピン備え、16bitは外部端子を16ピン備える。これは、1クロックで出力できるbit数を表し、8bit素子では、1クロックで8bit出力され、16bit素子では、1クロックで16bit出力される。そして、同一ロー内では、連続してデータを取り出すことが可能である。すなわち、8bit素子においては、1ローに256×8bitのデータが蓄電されているため、256クロック分のデータ (256byte分のデータ) が連続して読み出せる。

【0005】ビデオデコーダなどにおいては、フレームメモリに記憶される画像データは、マクロブロック単位で送信され、デコードする順番もマクロブロック順にされる。1つのYマクロブロックは、1ラインが16ピクセル (従って、16byte) で、16ラインから構成されている。そのため、例えば、1番目のYマクロブロックの場合、第1ラインは、アドレス0000乃至0015、第2ラインは、アドレス0720乃至0735、第3ラインは、アドレス1440乃至1455という具合に、アドレスが分割されて (一続きのアドレスではなく) 記憶されている。

【0006】

【発明が解決しようとする課題】1ローに記憶されているデータを取り出した後、次のローに移り、そのローに記憶されているデータを読み出すまでには、プリチャージの為に約6クロック、待たなくてはならない。このように、別のローに格納されているデータを読み出す為に必要とされるプリチャージのことは、上述したように、ページミスと称される。上述した6bit素子では、256クロック毎に (256byteのデータを取り出す毎に)、16bit素子では、128クロック毎に、ページミスが発生することになる。このように、1クロックで

取り出せるデータ量が大きくなると、ページミスの発生回数（発生周期）も少なくなることがわかる。

【0007】図1（B）に示したように、画像データが記憶され、アドレス0000乃至0719まで読み出して第1水平ラインを表示させ、アドレス0720乃至1439まで読みだして第2水平ラインを表示させ、というように、1ラインづつ読み出して表示させる場合、8bit素子では、256byte毎にページミスが発生する。ページミスはロスタイムとなるため、なるべく発生しないようにすることが、メモリ（DRAM）の能力を最大限に引き出すことになる。

【0008】一方、上述したビデオレコーダの場合、マクロブロック単位で記憶され、マクロブロック単位で読み出される。また、上述したように、1つのYマクロブロックは、16ラインで構成されているため、1ラインを読み出す毎に、ページミスが発生することになる。すなわち、1つのYマクロブロックを読み出す毎に、16回のページミスが発生することになる。また、クロマ（Cb、Cr）においては、1マクロブロックには、1ラインが8byteで、8ラインから構成されているので、1つのCb（Cr）マクロブロックを読み出す毎に、8回のページミスが発生することになる。

【0009】フレームメモリに16bit素子を用いた場合、1クロックに16bit（2byte）のデータを出力することができるため、Yマクロブロックにおいては、8クロックに1回の割合でページミスが発生し、CbマクロブロックとCrマクロブロックにおいては、それぞれ、4クロックに1回の割合でページミスが発生することになる。従って、Yマクロブロックの1ライン読み出すのに8クロック（Yマクロブロックの1ラインは16byteから構成されている）必要であり、1つのYマクロブロックを読み出す為には、8×16クロック（1つのYマクロブロックは、16ラインから構成されている）必要である。

【0010】これに対し、1回のページミスに6クロックの時間が費やされるとし、そのページミスによるロスタイムは、1つのYマクロブロックを読み出す場合、16回のページミスが発生するわけであるから、6×16クロックであることがわかる。これは、1つのYマクロブロックを読み出すための時間8×16クロックと比べて、ページミスの割合がかなり多い、換言すれば、ロスタイムが大きいことを示している。また、クロマのマクロブロックに対しても同様に、データを読み出す為の時間に対するロスタイムの比率が大きい。

【0011】ページミスは、動き補償によるデコードを行う際にも発生する。すなわち、デコードするマクロブロックに付随する動きベクトルにより、フレームメモリの任意の位置から1マクロブロック分の画像データを取り出すが、上述した場合と同じく、マクロブロックの1ラインを読み出す毎に、アドレスが1ライン分移動する

ため、ページミスが発生する。DRAMなどの能力を最大に引き出したい場合、ページミスといったロスタイムはできる限り小さく抑えることが必要であるといった課題があった。

【0012】本発明はこのような状況に鑑みてなされたものであり、マクロブロックの画像データに対して、昇順にアドレスを割り振り記憶させるようにすることにより、ページミスの発生を抑制する事を目的とする。

【0013】

【課題を解決するための手段】請求項1に記載の画像処理装置は、マクロブロック単位の画像データを入力する入力手段と、入力手段により入力された画像データに、昇順にアドレスを割り当て、記憶する記憶手段と、記憶手段に記憶された画像データを、アドレスの昇順に読み出す読み出し手段とを含むことを特徴とする。

【0014】請求項4に記載の画像処理方法は、マクロブロック単位の画像データを入力する入力ステップと、入力ステップで入力された画像データに、昇順にアドレスを割り当て、記憶する記憶ステップと、記憶ステップで記憶された画像データを、アドレスの昇順に読み出す読み出しステップとを含むことを特徴とする。

【0015】請求項5に記載の媒体のプログラムは、マクロブロック単位の画像データを入力する入力ステップと、入力ステップで入力された画像データに、昇順にアドレスを割り当て、記憶する記憶ステップと、記憶ステップで記憶された画像データを、アドレスの昇順に読み出す読み出しステップとからなることを特徴とする。

【0016】請求項1に記載の画像処理装置、請求項4に記載の画像処理方法、および請求項5に記載の媒体においては、入力されたマクロブロック単位の画像データに、昇順にアドレスが割り当てられ、記憶され、記憶された画像データが、アドレスの昇順に読み出される。

【0017】

【発明の実施の形態】図2は、MPEG2方式で符号化（エンコード）されたデータを復号（デコード）する画像復号装置の構成を示すブロック図である。チューナ1により受信された画像データは、復調処理部2において、復調処理され、誤り訂正処理部3により、誤り訂正処理される。さらに、誤り訂正処理された画像データは、ソフトウェア処理部4に送られる。このソフトウェア処理部4は、図示されていないCPU（Central Processing Unit）によって実行されるソフトウェアプログラムにより構成される。ソフトウェア処理部4のデマルチプレクサ部11は、入力されたデータをチャンネル毎に画像データとオーディオデータとにデマルチプレクサする。デマルチプレクサされた画像データは、デコード部12において、MPEG方式でデコードされる。

【0018】デコード部12の出力は、画枠変換処理部13において、例えば、ハイビジョンに代表される高品位テレビジョン信号の画枠から、NTSC（National Telev

ision System Committee) 方式のテレビジョン信号の画枠に画枠変換される。また、コントローラ14は、デコード部12の他に、ソフトウェア処理部4の各部を制御すると共に、画像データの処理に関し、キャッシュメモリ7を随時使用する。DMAC (Direct Memory Access Controller) 6は、キャッシュメモリ7からフレームメモリ5へのDMA転送を制御する。フレームメモリ5は、例えば、DRAMから構成され、記憶された画像データは、図示されていない画像表示装置に出力される。

【0019】図3は、図2に示したデコード部12のより詳細な構成を示したブロック図である。デマルチプレクサ部11から出力された画像データは、デコード部12の可変長復号部31に入力される。可変長復号部31は、入力された画像データを可変長復号処理し、量子化ステップと画像データを逆量子化部32に、動きベクトルを動き補償予測部35に、それぞれ出力する。逆量子化部32は、可変長符号化部31から供給された量子化ステップに基づいて、可変長符号処理された画像データを逆量子化する。逆量子化された画像データは、コントローラ14を介して、キャッシュメモリ7に格納される。

【0020】イントラマクロブロックの場合、逆DCT変換部33で逆DCT変換処理された画像データは、そのまま、キャッシュメモリ7に転送され、格納される。ノンイントラマクロブロックの場合、動き補償予測部35は、可変長復号部31より供給される動きベクトルと、フレームメモリ5に記憶されている参照画像を用いて、予測マクロブロックを演算し、その画像データが、キャッシュメモリ7から読み出され記憶される。演算器34は、逆DCT変換部33から供給される画像データ（差分データ）とキャッシュメモリ7から供給される予測マクロブロックとを加算して、デコード画像データとし、キャッシュメモリ7に転送する。そして、キャッシュメモリ7に記憶された画像データは、DMAC6の制御に基づいて、フレームメモリ5にDMA転送される。

【0021】次に、図2に示した画像復号装置の動作について説明する。チューナ1が、画像データを受信し、復調処理部2に、その画像データを出力する。画像データを入力した復調処理部2は、入力した画像データを復調処理し、誤り訂正処理部3に出力する。誤り訂正処理部3は、入力された復調処理された画像データの誤り訂正処理を行い、ソフトウェア処理部4に出力する。ソフトウェア処理部4は、入力された画像データを、まずデマルチプレクサ部11により、チャンネル毎に画像データとオーディオデータとにデマルチプレクスし、デコード部12に出力する。

【0022】デコード部12は、コントローラ14により制御され、キャッシュメモリ7とフレームメモリ5を随時使用して、画像データをデコードし、デコードした画像データを画枠変換処理部13に出力する。画枠変換

処理部13は、デコードされた画像データを画枠変換処理し、フレームメモリ5に格納する。そして、フレームメモリ5に記憶された画像データは、画枠変換処理された画像データを図示されていない画像表示装置などに出力される。

【0023】図3に示したデコード部12のフレームメモリ5への画像データの書き込みについて説明する。フレームメモリ5へのデータの書き込みや、フレームメモリ5からのデータの読み出しは、マクロブロック単位で行われる。1つのYマクロブロックは、 $16 \times 16$ ピクセルから構成されているため、256byteのデータから構成されていることになる。また、CbマクロブロックとCrマクロブロックは、それぞれ、 $64 (=8 \times 8)$  byteから構成されている。そこで、Yマクロブロックは、図4に示すように、一番初めに読み込まれる画面上で一番上の左側に位置するYマクロブロックをフレームメモリ5のアドレス0000乃至0255に、その次に読み込まれるYマクロブロックをアドレス0256乃至0511に、さらにその次に読み込まれるYマクロブロックをアドレス0512乃至0768というように、順次、連続したアドレスが昇順に割り振られ記憶される。

【0024】同様に、CbマクロブロックとCrマクロブロックのクロママクロブロックは、それぞれ、図5に示すように、一番初めに読み込まれるクロママクロブロックがアドレス0000乃至0063に、次に読み込まれるクロママクロブロックがアドレス0064乃至0128にというように、順次、連続したアドレスが昇順に割り振られ記憶される。

【0025】このようにマクロブロック単位の画像データを記憶することにより、ページミスは、1つのマクロブロックの読み出しにおいては、Yマクロブロックも、Cb (Cr) マクロブロックの両方とも、1回も発生しない。すなわち、ページミスは、読み出し対象となっているローを切り換えるときに発生し、1ローは、256byte (以下、適宜、この256byteを1ページと称し、この単位毎の区切りをページ区切りと称する) から構成されているため、少なくとも、256byteの読み出し毎に発生することになるのだが、上述したように、データをフレームメモリ5に記憶させれば、Yマクロブロックは1ページ毎にページ区切りが発生し、Cb (Cr) マクロブロックは、4ページ毎にページ区切りが発生することになる。

【0026】ページミス (ロスタイム) を最小限に抑える為には、ローの切り替えを少なくするようにすればよいので、上述したように、データをフレームメモリ5に記憶させることにより、ロスタイムを軽減させる事が可能となる。

【0027】次に、このようにして、画像データが記憶されているフレームメモリ5から動き補償ベクトルにより、予測画像データを取り出す場合を説明する。ここで

は、Yマクロブロックを対象とした場合を例に挙げて説明する。1つのYマクロブロックは、上述したように、 $16 \times 16$ ピクセル ( $16 \times 16$  byte) から構成されている。

【0028】図6は、画面表示装置の画面上に表示される画面を想定し、マクロブロックMA<sub>m</sub>から、予測されるマクロブロックMA<sub>n</sub> (デコードされるマクロブロック) の位置関係を示した図である。MA<sub>n</sub>の動き補償ベクトルのうち、図中、横 (水平) 方向の動き補償ベクトルをベクトルxと表し、縦 (垂直) 方向の動き補償ベクトルをベクトルyとする。このベクトルxとベクトルyは、マクロブロックMA<sub>n</sub>を、マクロブロックMA<sub>m</sub>の左上端部からデータを取り出すべき水平方向と垂直方向のアドレスオフセットを決定するためのものである。

【0029】ベクトルxとベクトルyとで位置が一意に決定されるマクロブロックMA<sub>m</sub>は、図6に示すように、最大4個のマクロブロックにまたがっている場合が想定される。これら4個のマクロブロックを、左上から右下に順番にマクロブロックMA<sub>0</sub>、マクロブロックMA<sub>1</sub>、マクロブロックMA<sub>2</sub>、およびマクロブロックMA<sub>3</sub>と記述すると、デコードすべきマクロブロックMA<sub>n</sub>、およびベクトルx、yの関係は、次式に示すようになる。

【0030】

$$\begin{aligned} MA_0 &= MA_n \div x / 16 + MA_w \times y / 16 \\ MA_1 &= MA_0 + 1 \\ MA_2 &= MA_0 + MA_w \\ MA_3 &= MA_0 + MA_w + 1 \end{aligned}$$

... (1)

ここで、xおよびyは、それぞれベクトルx、yの大き

$$\begin{aligned} MA_{0,h} &= 16 - (x \% 16) \\ MA_{1,h} &= 16 - MA_{0,h} \\ MA_{2,h} &= MA_{0,h} \\ MA_{3,h} &= MA_{1,h} \end{aligned}$$

このように、4つのマクロブロックMA<sub>0</sub>、MA<sub>1</sub>、MA<sub>2</sub>、MA<sub>3</sub>からデータを取り出す場合、4回のページミスが発生する。同じマクロブロック (1つのマクロブロック) からデータを取り出す場合、ページミスは発生しない。すなわち、ページミスは最低0回、最大4回、発生する可能性がある。

【0035】しかしながら、DRAMなどでは、2個のバンクが設けられており、データの書き込みや読み出しは、そのバンクを切り換えることにより行われている。マクロブロックにおいては、1水平ライン毎に、交互に、異なるバンクに書き込みが行われる。そのため、図6に示したように2つのバンク0とバンク1とを用いて書き込みが行われる場合、バンク0からマクロブロックMA<sub>0</sub>の1水平ラインのデータを読み出し、次にバンク1からマクロブロックMA<sub>2</sub>の1水平ラインのデータを読み出し、その次に、バンク0からマクロブロックMA<sub>1</sub>の1水平ラ

を示し、MA<sub>w</sub>は、画面の水平方向のライン上に並んでいるマクロブロックの数を示す。

【0031】さらに、各マクロブロックMA<sub>0</sub>、MA<sub>1</sub>、MA<sub>2</sub>、MA<sub>3</sub>の、マクロブロックMA<sub>m</sub>と重なる部分の左上端のアドレス (先頭アドレス) は、次式に従って算出される。マクロブロックMA<sub>0</sub>、MA<sub>1</sub>、MA<sub>2</sub>、MA<sub>3</sub>の先頭アドレスを、それぞれ、アドレスad<sub>0</sub>、ad<sub>1</sub>、ad<sub>2</sub>、ad<sub>3</sub>とする。

【0032】

$$\begin{aligned} ad_0 &= ad_{MA_0} + x \% 16 + 16 \times (y \% 16) \\ ad_1 &= ad_{MA_1} + 16 \times (y \% 16) \\ ad_2 &= ad_{MA_2} + x \% 16 \\ ad_3 &= ad_{MA_3} \end{aligned}$$

... (2)

ここで、ad<sub>MA<sub>0</sub></sub>、ad<sub>MA<sub>1</sub></sub>、ad<sub>MA<sub>2</sub></sub>、ad<sub>MA<sub>3</sub></sub>は、それぞれ、マクロブロックMA<sub>0</sub>、MA<sub>1</sub>、MA<sub>2</sub>、MA<sub>3</sub>の先頭アドレスであり、x%16は、ベクトルxの大きさを16で除算したときの余りを示し、同様に、y%16は、ベクトルyの大きさを16で除算したときの余りを示す。

【0033】各マクロブロックMA<sub>0</sub>、MA<sub>1</sub>、MA<sub>2</sub>、MA<sub>3</sub>の、マクロブロックMA<sub>m</sub>と重なる部分との、水平データ数と垂直ライン数は、次式に従って算出される。次式において、MA<sub>0,h</sub>は、マクロブロックMA<sub>m</sub>とマクロブロックMA<sub>0</sub>が重なる部分の水平データ数を示し、MA<sub>0,v</sub>は、マクロブロックMA<sub>m</sub>とマクロブロックMA<sub>0</sub>が重なる部分の垂直ライン数を示す。他の記述も同様の意味を示す。

【0034】

$$\begin{aligned} MA_{0,v} &= 16 - (y \% 16) \\ MA_{1,v} &= MA_{0,v} \\ MA_{2,v} &= 16 - MA_{0,v} \\ MA_{3,v} &= MA_{2,v} \end{aligned}$$

... (3)

インのデータを読み出し、そしてその次に、バンク1からマクロブロックMA<sub>4</sub>の1水平ラインのデータを読み出すという処理を繰り返すようにする。

【0036】このようにバンク0とバンク1とを切り換えることによりデータを読み出すようにすれば、ページミスは発生しない。すなわち、バンク0とバンク1は、それぞれ独立したセンスアンプを備えているため、それぞれ独立にアクティブな状態 (プリチャージの状態) にしておくことが可能であるので、別のバンクに記憶されているマクロブロック間を連続して読み出しても (バンクを切り換えることにより読み出しを行っても)、その切り換えによるページミス (ロスタイム) は無視できる。従って、最初にマクロブロックMA<sub>0</sub>のデータを読み出す時に発生するページミスのみがロスタイムとなる。

【0037】上述した説明においては、式 (1) 乃至式 (3) においては、Yマクロブロックの読み出しの場合

について説明したが、クロマ (Cb, Cr) のマクロブロックのときは、各式における16を8にして算出すれば良い。

【0038】以上のように、画像データの書き込みおよび読み出しを行うことにより、1つのYマクロブロックを読み出すのに必要な時間のうち、データ転送の為の時間は、 $8 \times 16$ クロックとなり、ページミスの為のロスタイムは、1回のページミスの時間を6クロックとすると、 $6 \times 1$ クロックとなるため、データ転送の為の時間に対するページミスによるロスタイムの割合を減少させることが可能となる。同様に、1つのCb (Cr) マクロブロックを読み出す場合においても、データ転送の為の時間に対するページミスによるロスタイムの割合を減少させることが可能となる。

【0039】次に、画像表示装置 (不図示) に対して、画像データを出力する際の処理について説明する。図1 (B) に示したようにマクロブロック単位での画像データを、画面上でのデータ配置とフレームメモリ内のデータ配置が同じように記憶した場合、アドレスの昇順にデータを読み出すことにより、画像表示が行われていたが、図4 (図5) に示したように、マクロブロックを1ラインまたは2ラインで記憶する場合、アドレスの昇順にデータを読み出すことにより、画像表示させることはできない。

【0040】換言すれば、図1 (B) に示したように画像データを記憶した場合、画面上の1ラインを表示させるために、各マクロブロックから16ピクセル (16 byte) 分の画像データが読み出されるわけだが、図4 (図5) に示したように画像データを記憶させた場合においても同様に、各マクロブロックから16 byte毎の画像データを読み出さなくてはならない。そのようにすると、16 byte読み出す毎に、ローを切り換えなくてはならず、そのたびにページミスが発生することになる。このような不都合をなくすために、以下に示すように、アドレス変換を行い、画像データを画像表示装置に出力するようにすればよい。

【0041】図3に示したキャッシュメモリ7を一時的なバッファとして用い、1スライス分の画像データをフレームメモリ5からキャッシュメモリ7へロードし、図1 (B) に示したようなメモリ構造 (アドレス) に変換する。キャッシュメモリ7に、SRAM (Static RAM) を用いた場合、DRAMのように、ページが存在しないため、ページミスは発生しない。

【0042】具体的に、図4に示したようにYマクロブロックが記憶されている状態から図1 (B) に示したようにYマクロブロックが記憶されている状態へとアドレス変換する場合を説明する。図4に示したように画像データが記憶されているフレームメモリ7から、第1ラインの画像データとしてアドレス0000乃至0015までの画像データを読み出し、キャッシュメモリ7のアド

レス0000乃至0015に記憶させる。次に、第2ラインの画像データとしてアドレス0016乃至0031までの画像データを読み出し、キャッシュメモリ7のアドレス0720乃至0735に記憶させる。続いて、第3ラインの画像データとしてアドレス0032乃至0047までの画像データを読み出し、キャッシュメモリ7のアドレス1440乃至1455に記憶させる。このような処理を繰り返す。

【0043】このように、フレームメモリ7から画像データを読み出す場合、読み出し自体は、アドレスの昇順に行われるため、ページミスは256 byte毎にしか発生しない。キャッシュメモリ7に記憶された画像データは、フレームメモリ5に再転送され、記憶される。そして、フレームメモリ5に図1 (B) に示したように記憶された画像データは、画像表示装置 (不図示) に出力される。

【0044】キャッシュメモリ7からフレームメモリ5への再転送は、1対1のアドレス順に行われるため、また、キャッシュメモリ7がSRAMで構成されている場合はページミスが発生しないため、この処理によるロスタイムは発生しない。

【0045】上述した説明では、キャッシュメモリ7からフレームメモリ5へ画像データを再転送するようにしたが、キャッシュメモリ7から、フレームメモリ5とは異なる表示用の、または、スケーリング用のフレームメモリ (DRAM) に転送されるようにしても良い。

【0046】上述したように、マクロブロックの画像データの書き込みおよび読み出しを行うことにより、デコードが終了したマクロブロックを順次DRAMなどで構成されるフレームメモリの同一ページに格納できるため、DRAMのバースト転送機能を利用してページミスが発生する回数を減少させ、メモリバンド幅を向上することが可能となる。また、マクロブロックが、フレームメモリ内の同一ページ内に格納されているため、動き補償ベクトルにより参照マクロブロックを取り出す場合においても、DRAMのバースト転送を利用し、ページミスの発生回数を減少させ、メモリバンド幅を向上させることが可能となる。

【0047】また、マクロブロックをフレームメモリに格納する際、画面の水平幅毎に交互にDRAMの別バンクへ格納することにより、複数個 (最大4個) のマクロブロックから予測データを取り出す場合においても、ページミスを最小に抑えることができ、さらに、2つのバンクで構成できるため、メモリシステムの構造を単純化でき、容量が小さい (少ない) DRAMでも実現可能なため、フレキシブル性にとんでいる。

【0048】次に、図7を参照して、上述した一連の処理を実行するプログラムをコンピュータにインストールし、コンピュータによって実行可能な状態とするために用いられる媒体について説明する。

【0049】プログラムは、図7（A）に示すように、パーソナルコンピュータ51（画像復号装置に相当）に内蔵されている記録媒体としてのハードディスク52や半導体メモリ53に予めインストールした状態でユーザに提供することができる。

【0050】あるいはまた、プログラムは、図7（B）に示すように、フロッピー（登録商標）ディスク61、CD-ROM62、MOディスク63、DVD64、磁気ディスク65、半導体メモリ66などの記録媒体に、一時的あるいは永続的に格納し、パッケージソフトウェアとして提供することができる。

【0051】さらに、プログラムは、図7（C）に示すように、ダウンロードサイト71から、無線で衛星72を介して、パーソナルコンピュータ73に転送したり、ローカルエリアネットワーク、インターネットといったネットワーク81を介して、有線または無線でパーソナルコンピュータ73に転送し、パーソナルコンピュータ73において、内蔵するハードディスクなどにダウンロードさせるようにすることができる。

【0052】本明細書における媒体とは、これら全ての媒体を含む広義の概念を意味するものである。

【0053】

【発明の効果】請求項1に記載の画像処理装置、請求項4に記載の画像処理方法、および請求項5に記載の媒体

においては、入力されたマクロブロック単位の画像データに、昇順にアドレスを割り当て、記憶し、記憶された画像データを、アドレスの昇順に読み出すようにしたので、ページミスが発生する回数を抑制する事が可能となる。

【図面の簡単な説明】

【図1】従来の画像データの記憶の仕方について説明する図である。

【図2】本発明を適用した画像処理装置の一実施の携帯の構成を示すブロック図である。

【図3】図2のデコード部12の詳細な構成を示すブロック図である。

【図4】本発明の画像データの記憶の仕方について説明する図である。

【図5】本発明の画像データの記憶の仕方について説明する図である。

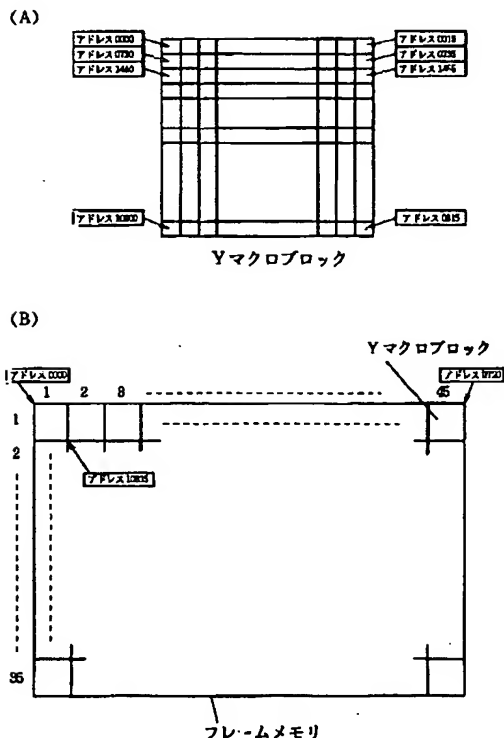
【図6】予測マクロブロックの読み出しについて説明する図である。

【図7】媒体を説明する図である。

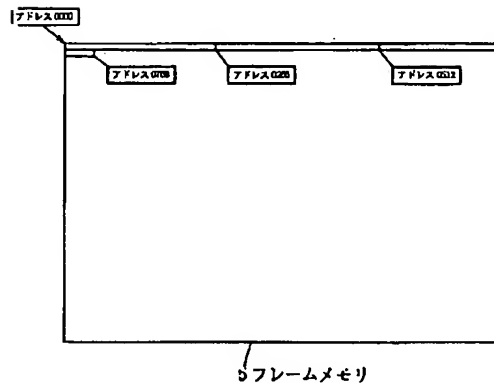
【符号の説明】

5 フレームメモリ、6 DMAC、7 キャッシュメモリ、12 デコード部、31 可変長復号部、32 逆量子化部、33 逆DCT変換部、34 演算器、35 動き補償予測部

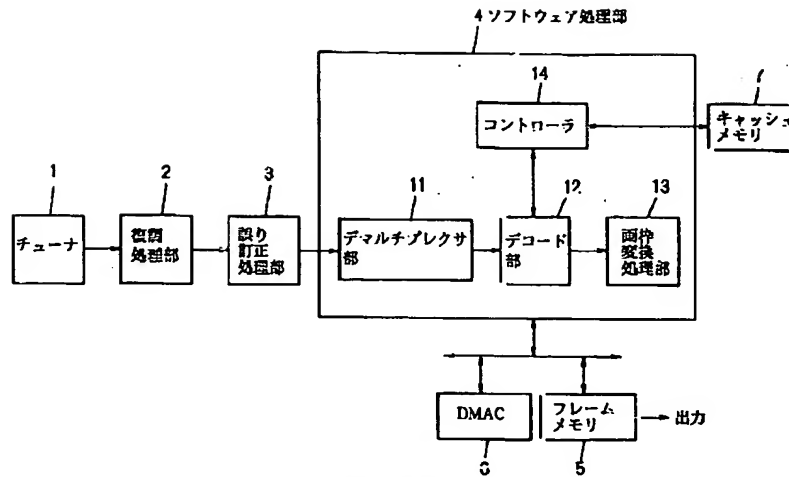
【図1】



【図4】

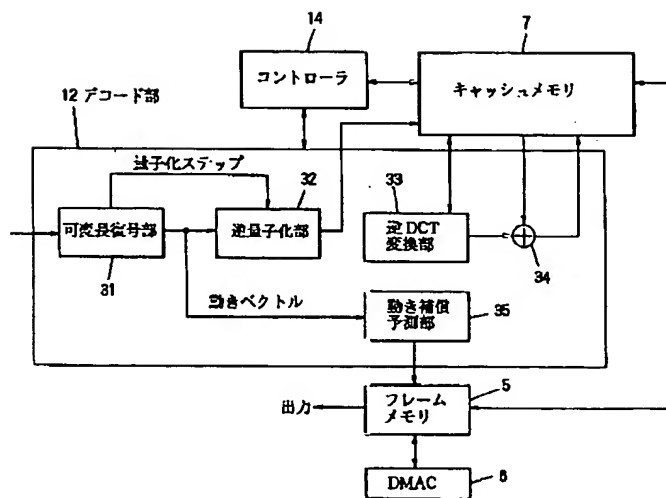


【図2】



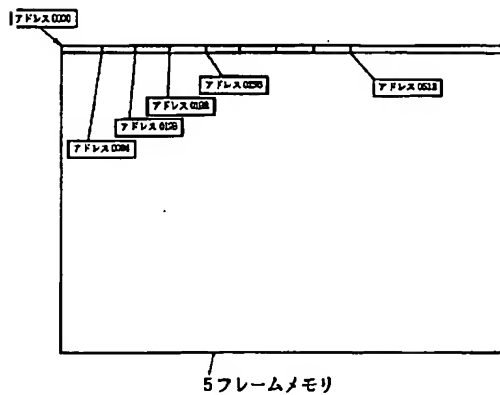
画像復号装置

【図3】

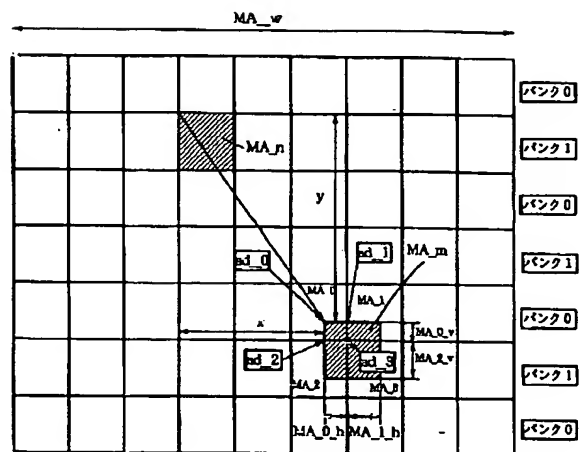




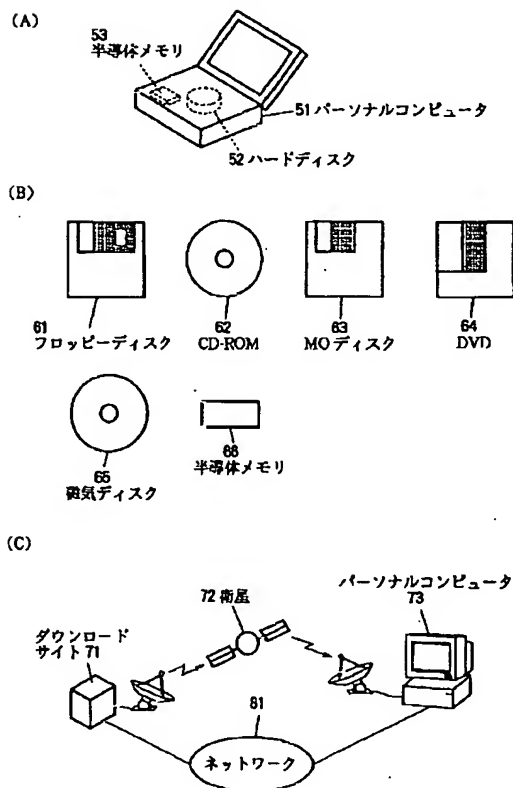
【図5】



【図6】



【図7】



(10) 00-348168 (P2000-348168A)

フロントページの続き

Fターム(参考) 5B047 EA05 EB11

5B060 AC14 CA04 DA09 GA11

5C059 KK15 MA00 MA07 MA23 MC11

ME01 NN01 RF04 SS26 UA33

UA34 UA35 UA36 UA38